



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 40 29 162 A 1**

⑤1 Int. Cl.⁵:
H 03 M 1/66
H 03 M 5/16
H 03 M 7/06

⑳ Aktenzeichen: P 40 29 162.6
㉔ Anmeldetag: 14. 9. 90
㉓ Offenlegungstag: 19. 3. 92

DE 40 29 162 A 1

㉑ Anmelder:
Grundig E.M.V. Elektro-Mechanische
Versuchsanstalt Max Grundig holländ. Stiftung & Co
KG, 8510 Fürth, DE

㉒ Erfinder:
Müller, Werner, Dipl.-Ing. (FH), 8542 Roth, DE

⑤4 **Ternärer Digital-Analog-Wandler**

⑤7 Die Erfindung betrifft einen Digital-Analog-Wandler zur Umwandlung von binär codierten Audiosignalen in analoge Ausgangsspannungen. Bei diesen Wandlern werden mit zunehmender Signalauflösung größere Wortbreiten im Digitalcode notwendig, die eine zunehmende Zahl von Wandlerstufen bei der Digital-Analog-Wandlung erfordern. Der erfindungsgemäße Analog-Digital-Wandler reduziert die Anzahl der Wandlerstufen, indem der binäre Code in einen ternären Code mit ternärer Gewichtung der Codestellen umgewandelt wird.

DE 40 29 162 A 1

Die Erfindung betrifft einen Digital-Analog-Wandler zur Umwandlung von binär codierten Audiosignalen in analoge Ausgangsspannungen, deren Aussteuerung symmetrisch zum Spannungsnulldpunkt ist.

Zur Umwandlung von binär codierten Signalen, die in Form von Dualzahlen vorliegen, werden Digital-Analog-Wandler eingesetzt, die die Dualzahl in eine ihrem Wert proportionale Ausgangsspannung umsetzen.

Zu diesem Zweck liegt die zu wandelnde Dualzahl am Wandler an und steuert mit Hilfe von Analogschaltern binär gewichtete Teilströme bzw. -spannungen, die aus einer Referenzquelle abgeleitet werden. Die Teilströme bzw. -spannungen werden an den Summationspunkt eines Analogaddierers gelegt, so daß am Ausgang des Analogaddierers ein analoges Ausgangssignal liegt, das der am Wandlereingang anliegenden Dualzahl proportional ist.

In der europäischen Offenlegungsschrift EP-OS 2 51 758 ist ausgeführt, daß bei Übergängen, bei denen die meisten Datenbits einer Dualzahl wechseln, also insbesondere beim Übergang von Dezimalwert 0 auf Dezimalwert -1 bei zweier Komplement-Codierung, Fehler durch die Toleranzen der Bauteile auftreten. Eine Verbesserung wird durch einen binären Code erzielt, der die drei Zustände der logischen "0", der logischen "1" und der logischen "-1" erfaßt. Nach dem Erfindungsgedanken des Dokumentes wird eine weitere Verbesserung dadurch erzielt, eine weitere Umcodierung vorzunehmen, bei der der Übergang von benachbarten Codewerten so gestaltet wird, daß bei einem solchen Übergang möglichst wenige Codestellen verändert werden.

Der binäre Code mit drei logischen Zuständen bringt weiterhin den Vorteil, daß bei der Digital-Analog-Wandlung eine Wandlerstufe eingespart werden kann. Gerade im Bereich der digitalen Audiosignalverarbeitung ist dieser Aspekt von großer Bedeutung, da hier ein großer Dynamikbereich mit feiner Auflösung angestrebt wird, der jedoch voraussetzt, daß eine große Wortbreite verarbeitet wird, die auch in Analogsignale umgesetzt werden muß.

Es ist deshalb Aufgabe der Erfindung einen Digital-Analog-Wandler anzugeben, der bei möglichst wenig Wandlerstufen eine hohe Wortbreite umwandeln kann.

Diese Aufgabe wird gemäß der Erfindung dadurch gelöst, daß der in der digitalen Signalverarbeitung verwendete binäre Code vor der eigentlichen Digital-Analog-Wandlung in einen ternären Code mit drei Zuständen umgewandelt wird, bei dem die Gewichtung der einzelnen Codestellen nicht binär, sondern ternär erfolgt.

Mit einem 16stufigen ternären Wandler können 3^{16} , d. h. 43 046 721 Spannungswerte aufgelöst werden, während ein 16stufiger binärer Wandler 2^{16} , also 65 536 Spannungswerte auflösen kann, die der ternäre Wandler mit elf Wandlerstufen auflösen kann, so daß fünf Wandlerstufen gegenüber dem herkömmlichen binären Wandler eingespart werden können.

Im folgenden wird die Erfindung an Hand der Fig. an einem Ausführungsbeispiel näher erläutert.

Von der digitalen Audiosignalverarbeitungseinheit 1 werden über die Datenleitungen D0—D15 die Daten an den Codeumsetzer 2 übertragen. Vom Codeumsetzer 2 werden die gewandelten Daten über die Datenleitungen d0—d10 an die Schalter S0⁺—S10⁺ und S0⁻ bis S10⁻ gegeben. Diese Schalter werden durch die Datenbits geöffnet oder geschlossen. Im geschlossenen Zustand

verbinden die Schalter S0⁺—S10⁺ die positive Referenzspannung mit den zugehörigen Widerständen R0—R10; ebenso verbinden die Schalter S0⁻—S10⁻ die negative Referenzspannung mit den Widerständen R0—R10 an den gleichen Anschlußpunkten, mit denen die Widerstände mit den Schaltern S0⁺—S10⁺ verbunden sind. Die Widerstände R0—R10 sind Bestandteil eines Analogaddierers, d. h. die freien Anschlüsse der Widerstände sind an einem Summationspunkt zusammengeführt, der am negativen Eingang eines Differenzverstärkers 4 anliegt.

In der digitalen Audiosignalverarbeitungseinheit 1 werden aus verschiedenen Quellen, beispielsweise digitaler Hörfunk, die Signale in Datenworte aufbereitet, die nach der Digital-Analog-Wandlung und optionaler Verstärkung hörbar durch Lautsprecher wiedergegeben werden. Dieser Digitalcode, im Ausführungsbeispiel ein 16-bit-Datenwort, wird im Codeumwandler 2 in ein ternäres Signal umgewandelt. Die Zuordnung erfolgt in einfacher Weise nach folgender Vorschrift:

$$X = d_0 \cdot 3^0 + d_1 \cdot 3^1 + d_2 \cdot 3^2 + \dots + d_{10} \cdot 3^{10}$$

wobei X den dezimalen Wert darstellt und d0—d10 die Stellen des ternären Codes.

Die möglichen Zustände eines Datenbits d0—d10 sind +1, 0 und -1.

Im Falle eines dreistelligen ternären Codes ergibt sich eine Codezuordnung nach Tabelle 1:

Tabelle 1

Dezimalwert	d2	d1	d0
-13	-1	-1	-1
-12	-1	-1	0
-11	-1	-1	1
-10	-1	0	-1
-9	-1	0	0
-8	-1	0	1
-7	-1	1	-1
-6	-1	1	0
-5	-1	1	1
-4	0	-1	-1
-3	0	-1	0
-2	0	-1	1
-1	0	0	-1
0	0	0	0
1	0	0	1
2	0	1	-1
3	0	1	0
4	0	1	1
5	1	-1	-1
6	1	-1	0
7	1	-1	1
8	1	0	-1
9	1	0	0
10	1	0	1
11	1	1	-1
12	1	1	0
13	1	1	1

Der ternäre Code mit den Stellen d0—d10 am Ausgang des Codeumwandlers 2 steuert die entsprechenden Schalter S0—S10 nach folgender Zuordnung gemäß Tabelle 2 an:

3
Tabelle 2

4

Codeziffer dn	Schalter Sn ⁺	Sn ⁻	5
-1	aus	ein	
0	aus	aus	
1	ein	aus	10

Mit den Schaltern S0—S10 wird der Stromfluß durch die Widerstände gesteuert, wobei diese Widerstände ternär gewichtet sind, d. h. der Widerstand R0 hat den Wert R, der Widerstand R1 den Wert R/3¹, der Widerstand R10 den Wert R/3¹⁰.

Die Ströme addieren sich im Summationspunkt S und werden durch den Analogverstärker im Verhältnis

$$\frac{R_v}{R_c} \quad 20$$

wobei

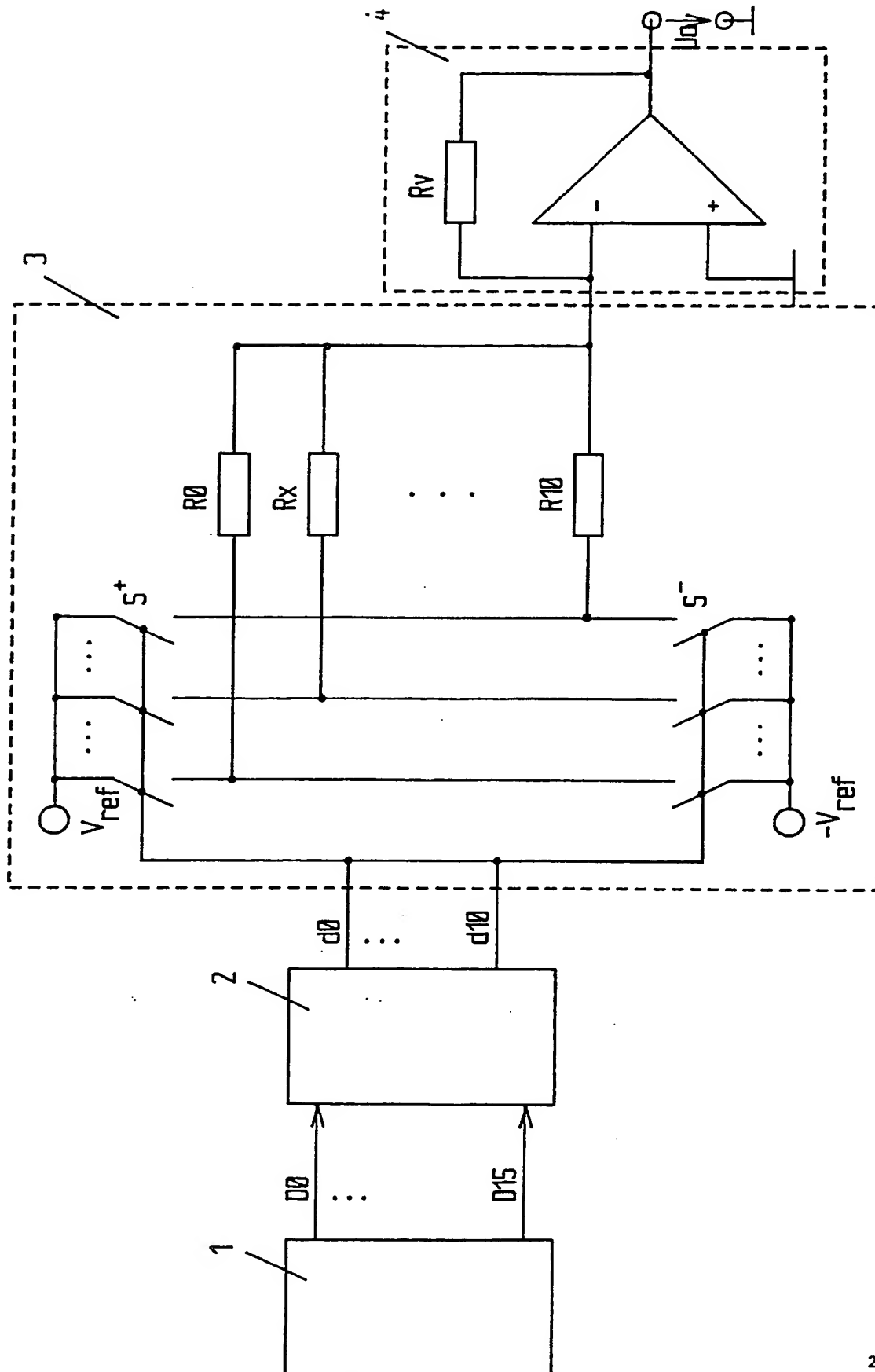
$$R_c = R + \frac{R}{3^1} + \dots + \frac{R}{3^{10}} \quad 25$$

gilt. Am Ausgang des Operationsverstärkers liegt eine Spannung U_A an, die dem binären Digitalwort D0—D16 proportional ist, wobei durch die Umcodierung in den ternären Code die Zahl der Wandlerstufen von 16 auf 11 reduziert wurde.

Patentanspruch

1. Digital-Analog-Wandler zur Umwandlung von binär codierten Audiosignalen in analoge Ausgangsspannungen, wobei die Aussteuerung der Analog-Signale symmetrisch zum Spannungsnullpunkt liegt, **dadurch gekennzeichnet**, daß die binär codierten Signale mit einem Umcodierer in ternäre Signale umgewandelt werden, die die Zustände +1, 0 und -1 annehmen können und die Stellen des Codes ternär gewichtet werden.

Hierzu 1 Seite(n) Zeichnungen



(19) **Federal Republic of Germany**

[emblem]

German Patent Office

(12) **Offenlegungsschrift**
[= Published Patent Application]

(10) **DE 40 29 162 A1**

(21) Application number:

(22) Application date:

(43) Disclosure date:

(51) Int.Cl.⁵:

H 03 M 1/66

H 03 M 5/16

H 03 M 7/06

P 40 29 162.6

September 14, 1990

March 19, 1992

(71) Applicant:
Grundig E.M.V. Elektro-Mechanische
Versuchsanstalt Max Grundig holländ.
Stiftung & Co KG, 8510 Fürth, DE

(72) Inventor:
Müller, Werner, Grad. Eng. (FH), 8542
Roth, DE.

(54) **Trinary Digital to Analog Converter**

(57) The invention relates to a digital to analog converter for converting binary-coded audio signals into analog output voltages. These converters require longer word lengths in the digital code as the signal resolution increases so that an increasing number of converter stages are needed during the digital to analog conversion. The inventive analog to digital converter reduces the number of converter stages by converting the binary code into a trinary code with trinary weighting of the code digits.

THIS PAGE BLANK (USPTO)

Specification

The invention relates to a digital to analog converter for converting binary-coded audio signals into analog output voltages, the selection of which is symmetrical to the voltage zero point.

To convert binary-coded signals, which are in the form of binary numbers, digital to analog converters are used to convert the binary number into an output voltage that is proportional to the value of said binary number.

For this purpose the binary number to be converted is available at the converter and steers by analog switches binary-weighted subcurrents or subvoltages, which are derived from a reference source. The subcurrents or subvoltages are made available to the summation point of an analog adder, so that an analog output signal, which is proportional to the binary number available at the converter input, is available at the output of the analog adder.

The European Offenlegungsschrift [= published patent application] EP-OS 2 51 758 discloses that at transitions, where most of the data bits of a binary number change, thus in particular at the transition from decimal value 0 to decimal value -1 in two's complement coding, errors occur due to the tolerances of the components. An improvement is achieved with a binary code, which comprises the three states of the logic state "0", the logic state "1", and the logic state "-1". According to the inventive idea of the document, another improvement is achieved by doing another code conversion, wherein the transition of the adjacent code values is structured in such a manner that at such a transition as few code digits as possible are changed.

Moreover, the binary code with three logic states offers the advantage that one converter stage can be saved during the digital to analog conversion. This aspect is of great importance especially in the field of digital audio signal processing, because in this field the goal is to achieve a wide dynamic range with fine resolution, but it assumes that a long word length, which must also be converted into analog signals, is being processed.

Therefore, the object of the invention is to provide a digital to analog converter, which can convert a long word length with as few converter stages as possible.

This problem is solved by the invention in that before the actual digital to analog conversion, the binary code, used in the digital signal processing, is converted into a trinary code, which has three states and for which the weighting of the individual code

THIS PAGE BLANK (USPTO)

digits is not binary, but trinary.

With a 16-stage trinary converter, 3^{16} , i.e. 43,046,721 voltage values can be resolved, while a 16-stage binary converter can resolve 2^{16} , thus 65,536 voltage values, which the trinary converter can resolve with eleven converter stages, so that five converter stages can be saved, as compared to the conventional binary converter.

The invention is explained below in detail with reference to one embodiment by means of the figure.

The data are transferred from the digital audio signal processing unit 1 to the code converter 2 by way of the data lines D0 - D15. From the code converter 2 the converted data are sent over the data lines d0 - d10 to the switches SO^+ - $S10^+$ and SO^- to $S10^-$. These switches are opened or closed by the data bits. In the closed state the switches SO^+ - $S10^+$ connect the positive reference voltage to the associated resistors R0 - R10. Similarly the switches SO^- to $S10^-$ connect the negative reference voltages to the resistors R0 - R10 at the same connecting points, with which the resistors are connected to the switches SO^+ - $S10^+$. The resistors R0 - R10 are a component of an analog adder, i.e. the free connections of the resistors are combined at a summation point, which is available at the negative input of a differential amplifier 4.

In the digital audio signal processing unit 1, the signals are conditioned into data words from various sources, for example digital radio. After digital to analog conversion and optional amplification, these data words are reproduced so that they can be heard by means of loudspeakers. This digital code, in the embodiment a 16 bit data word, is converted into a trinary signal in the code converter 2. The allocation is done in a simple manner according to the following rule:

$$X = d0 \cdot 3^0 + d1 \cdot 3^1 + d2 \cdot 3^2 + \dots + d10 \cdot 3^{10}$$

where X stands for the decimal value; and d0 - d10, for the digits of the trinary code.

The possible states of a data bit d0 - d10 are +1, 0 and -1.

In the case of a three digit trinary code the result is a code allocation according to table 1:

Table 1

Decimal Value	d2	d1	d0
-13	-1	-1	-1
-12	-1	-1	0
-11	-1	-1	1

THIS PAGE BLANK (USPTO)

DE 40 29 162 A 1

-10	-1	0	-1
-9	-1	0	0
-8	-1	0	1
-7	-1	1	-1
-6	-1	1	0
-5	-1	1	1
-4	0	-1	-1
-3	0	-1	0
-2	0	-1	1
-1	0	0	-1
0	0	0	0
1	0	0	1
2	0	1	-1
3	0	1	0
4	0	1	1
5	1	-1	-1
6	1	-1	0
7	1	-1	1
8	1	0	-1
9	1	0	0
10	1	0	1
11	1	1	-1
12	1	1	0
13	1	1	1

The trinary code with the digits d0 - d10 at the output of the code converter 2 drives the respective switches S0 - S10 according to the following allocation according to Table 2.

Table 2

Code number dn	Switch Sn ⁺	Sn ⁻
-1	off	on
0	off	off
1	on	off

THIS PAGE BLANK (USPTO)

The current flow through the resistors is controlled with the switches S0 - S10. In so doing, these resistors are trinary-weighted. That is, the resistor R0 has the value R; the resistor R1, the value $R/3^1$; the resistor R10, the value $R/3^{10}$.

The currents accumulate at the summation point S and become by means of the analog amplifier in the ratio

$$\frac{R_v}{R_c}$$

where $R_c = R + \left(\frac{R}{3^1}\right) + \dots + \frac{R}{3^{10}}$

holds true.

At the output of the operational amplifier there is available a voltage U_A , which is proportional to the binary digital word D0 - D16. The code conversion into the trinary code reduced the number of converter stages from 16 to 11.

Patent Claim

1. Digital to analog converter for converting binary-coded audio signals into analog output voltages, during which process the selection of the analog signals is symmetrical to the voltage zero point, characterized in that the binary-coded signals are converted with a code converter into trinary signals, which can assume the states +1, 0 and -1 and the digits of the code are trinary-weighted.

1 sheet of drawings

THIS PAGE BLANK (USPTO)

DE 40 29 162 A 1

Drawings Page 1

Number: **DE 40 29 162 A1**
Int. Cl.⁵: **H 03 M 1/66**
Disclosure date: **March 19, 1992**

THIS PAGE BLANK (USPTO)